

VLSI Overview & EDA Tools

EE291F

Speaker Yuxuan Li (liyx22025@shanghaitech.edu.cn)

VSPLab@SIST



上海科技大学

ShanghaiTech University

目录

1 数字后端流程

2 数字后端工具

数字后端流程

数字后端流程总览

数字后端流程可以概括为两个关键步骤

- **综合**（Synthesis）：将 RTL 转换为网表的过程。[1]
- **实现**（Implementation），将网表转换为版图的过程，也称为**布局布线**（P & R）。



[1]有些观点认为“综合”应该属于前端或所谓中端，但这只是一些提法上的问题。

立志成才 报国裕民

综合

综合要做的事情，就是推断出实现 RTL 的行为描述需要哪些基本逻辑单元和连线

```
module adder (
    input  wire       clk,
    input  wire [3:0] a,
    input  wire [3:0] b,
    output reg  [3:0] sum
);
    always @(posedge clk) begin
        sum = a + b;
    end
endmodule
```

例如，语句 `reg [3:0]` 会推导出 4 个 DFF（D Flip Flop），语句 `sum = a + b` 会推导出 4 位的加法器（可以由 4 个全加器构成），其中每个全加器对应 2 个 AND2、2 个 XOR2、2 个 OR2。

综合

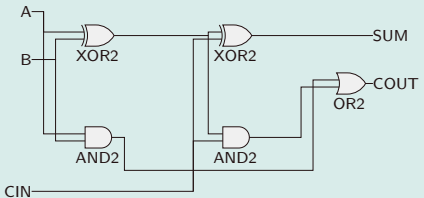
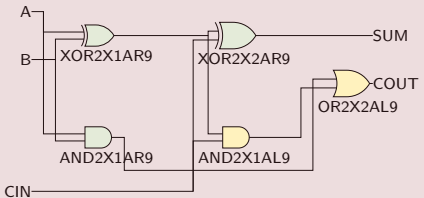
综合本身还可以分为两个步骤

- Elaboration[2]：输出**通用网表**（Generic Netlist），即将 RTL 转换为一系列基本逻辑单元。
- Technology Mapping：**工艺映射**，输出**工艺网表**（Mapped Netlist）。它会将通用逻辑单元映射为特定工艺下，具有特定阈值（LVT、RVT、HVT）和尺寸（X1、X2、……）的逻辑门。
- **工艺无关优化**：逻辑优化（例如简化逻辑表达式），结构变化（例如用更快的加法器结构）。
- **工艺相关优化**：在关键路径上，改用更“快”（阈值更低、尺寸更大）的逻辑门。

[2]该术语没有特别贴切的中文翻译，Elaboration 的字面意思是“细化”或“精化”。

立志成才 报国裕民

Synthesis

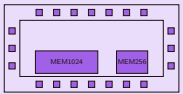
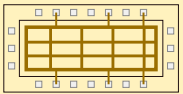
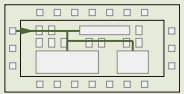
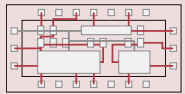
Step	Elaboration	Technology Mapping
	Automatically	Automatically
Output	Generic Netlist	Mapped Netlist
		

实现

实现做的事情就是布局布线（Place and Route, P & R），大致可以分为五个步骤

- Floorplan：定义芯片面积，手工放置宏单元（Macro）和输入输出（IO Pin / IO Pad）。
- Power：电源布线，电源需要为整个芯片供电，需要专门布线建立全局电源网络。
- Place：工具自动摆放标准单元（Standard Cell），最标准的“P”。
- Clock：时钟树综合，时钟信号到达各个寄存器的延时关乎时序同步，需要特殊处理。
- Route：工具自动在标准单元、宏单元、输入、输出之间进行连线，最标准的“R”。

Implementation (P & R)

Step	Floorplan	Power	Place	Clock	Route
	Manually	Manually	Automatically	Automatically	Automatically
“P”	MACRO / IO		STD CELL		
“R”		Power Ring & Stripe VDD / GND		Clock Tree Synthesis CLK / RST (CTS)	STD CELL MACRO / IO
					

数字后端工具

数字后端 EDA 工具

EDA Company		Synopsys	Cadence	Mentor
Synthesis		DC	Genus	
Implementation		ICC2	Innovus	
Simulation		VCS		
Formal		Formality	Conformal	
Signoff	DRC & LVS	IC Validator	Pegasus	Calibre
	RC Extract	StarRC	Quantus	
	Timing Signoff	PrimeTime	Tempus	
	Power Signoff	PrimePower	Voltus	

数字后端 EDA 工具

在本课程中，我们将重点学习 Cadence 和 Synopsys 的综合工具和实现工具

- Cadence：Genus → Innovus
- Synopsys：DC (Design Compiler) → ICC2 (IC Compiler 2)

除此之外，也会涉及 Synopsys 仿真工具 VCS 和形式化验证工具 Formality 的使用。

立志成才 报国裕民

Thank You

谢谢观看