

Timing: Setup and Hold

EE291F

Speaker Yuxuan Li (liyx22025@shanghaitech.edu.cn)

VSPLab@SIST



上海科技大学

ShanghaiTech University

Contents

目录

1 时序的概念

2 时序约束

时序的概念

建立时间与保持时间

触发器不是理想的！数据必须在时钟上升沿到来前后稳定一段时间

- 时钟上升沿到来**之前**，数据必须稳定的最短时间：**建立时间**（Setup Time）。
- 时钟上升沿到来**之后**，数据必须稳定的最短时间：**保持时间**（Hold Time）。

时序公式的符号对照表

表: 时序公式的符号对照表

符号	含义
T_{clk}	时钟周期
t_{cq}	触发器自身的延迟（Clock to Q）
t_{dp}	触发器间的组合逻辑和互连线的延迟
$t_s, t_{s,unc}$	建立时间，建立时间的不确定度
$t_h, t_{h,unc}$	保持时间，保持时间的不确定度
t_{launch}	时钟到达 FF1 的时刻（发射时钟）
$t_{capture}$	时钟到达 FF2 的时刻（捕获时钟）
t_{skew}	时钟偏移，定义为 $t_{capture} - t_{launch}$

立志成才 报国裕民

建立时间

建立时间：发射路径自 FF1 时钟沿发出的数据，应在 FF2 的**下一**时钟沿的捕获路径**前**到达

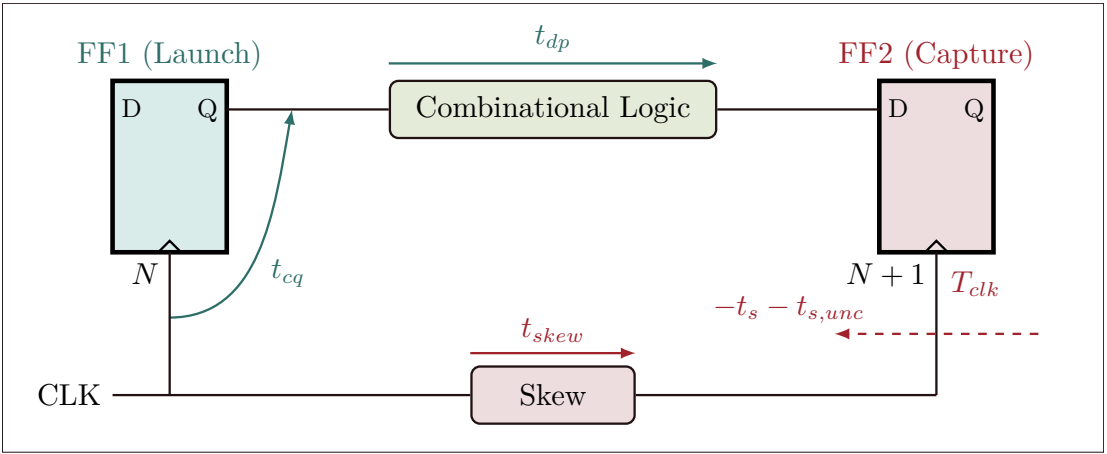
$$t_{launch} + t_{cq,max} + t_{dp,max} \leq t_{capture} + T_{clk} - t_s - t_{s,unc} \tag{1.1}$$

若用时钟偏移 $t_{skew} = t_{capture} - t_{launch}$ 表示

$$t_{cq,max} + t_{dp,max} \leq t_{skew} + T_{clk} - t_s - t_{s,unc} \tag{1.2}$$

立志成才 报国裕民

建立时间


FF1 (Launch)
t_{dp}
FF2 (Capture)
D
Q
Combinational Logic
D
Q
N
t_{cq}
$N+1$
T_{clk}
$-t_s - t_{s,unc}$
t_{skew}
CLK
Skew

保持时间

保持时间：发射路径自 FF1 时钟沿发出的数据，应在 FF2 的**同一**时钟沿的捕获路径**后**到达

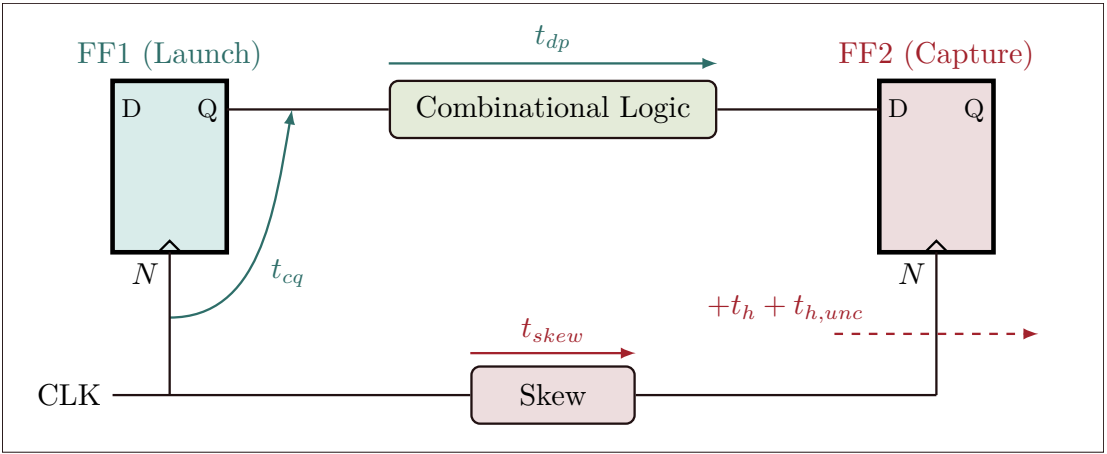
$$t_{launch} + t_{cq,min} + t_{dp,min} \geq t_{capture} + t_h + t_{h,unc} \tag{1.3}$$

若用时钟偏移 $t_{skew} = t_{capture} - t_{launch}$ 表示

$$t_{cq,min} + t_{dp,min} \geq t_{skew} + t_h + t_{h,unc} \tag{1.4}$$

立志成才 报国裕民

保持时间


FF1 (Launch)
t_{dp}
FF2 (Capture)
D
Q
Combinational Logic
D
Q
N
t_{cq}
N
$+t_h + t_{h,unc}$
t_{skew}
CLK
Skew

时序公式的定性分析

关于时序公式，几个非常重要的结论是

表: 时序公式的定性分析

要素	建立时间的影响	保持时间的影响
T_{clk}	增大周期有利	**无关周期**
t_{cq}	降低延迟有利	增大延迟有利
t_{dp}	降低延迟有利	增大延迟有利
t_{skew}	正偏移有利	负偏移有利
t_{unc}	低不确定度有利	低不确定度有利

立志成才 报国裕民

时序公式的定性分析

- 保持时间违例虽然相对好修（增大延迟总是容易的），**但一旦违例降低频率也无法解决**！
- 保持时间和建立时间对于延迟的期望是相反的，因此不要过早开始优化延迟时间。
- **时钟偏移是可以系统性利用的**！建立时钟树时可以有意让其延迟按希望的方向发展。
- 有时，可以人为提高不确定度，来为工具的优化施加更大的压力。

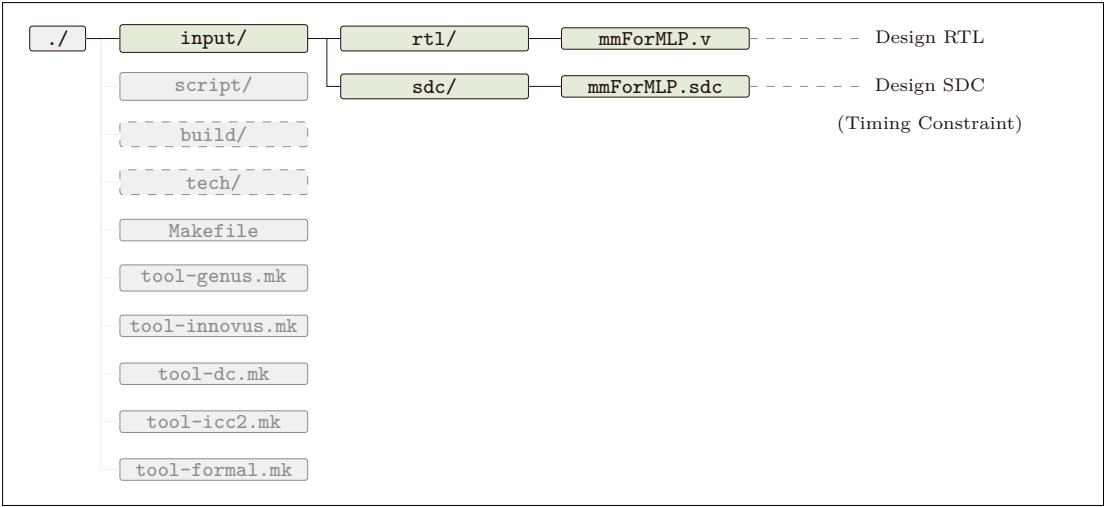
时序约束

SDC 是什么

SDC（Synopsys Design Constraints）文件用于描述设计的时序约束，常视为设计的一部分。在该项目中，我们要编写的 SDC 文件位于 `input/sdc/mmForMLP.sdc`。

立志成才 报国裕民

项目结构：input


./
input/
script/
build/
tech/
Makefile
tool-genus.mk
tool-innovus.mk
tool-dc.mk
tool-icc2.mk
tool-formal.mk
rtl/
mmForMLP.v
Design RTL
sdc/
mmForMLP.sdc
Design SDC
(Timing Constraint)

PERIOD：时钟周期，所有时间均以 ns 为单位

```
1 set PERIOD                    10
```

UNCERTAINTY_TS：建立时间的不确定度（较大）

```
1 set UNCERTAINTY_TS            0.50
```

UNCERTAINTY_TH：保持时间的不确定度（较小）

```
set UNCERTAINTY_TH              0.05
```

LATENCY_SRC：芯片外的时钟延迟，该项对于单一时钟源的设计总是会被抵消

```
set LATENCY_SRC             0.30
```

LATENCY_NET：芯片内的时钟延迟，该项在 CTS 后会被实际的时钟网络延迟取代

```
set LATENCY_NET             0.25
```

TRANSITION_CLK：时钟边沿的翻转时间

```
set TRANSITION_CLK          0.08
```

mmForMLP.sdc

DELAY_I_MIN/DELAY_I_MAX：输入的最小和最大延迟

```
set DELAY_I_MIN              [expr {0.06 * ${PERIOD}}]
set DELAY_I_MAX              [expr {0.30 * ${PERIOD}}]
```

DELAY_O_MIN/DELAY_O_MAX：输出的最小和最大延迟

```
set DELAY_O_MIN              [expr {0.00 * ${PERIOD}}]
set DELAY_O_MAX              [expr {0.60 * ${PERIOD}}]
```

LOAD_O：输出端口的外部负载电容

```
set LOAD_O                   0.03
```

mmForMLP.sdc

CLK_NAME：SDC 内部的时钟名，取 main_clk

```
1 set CLK_NAME                main_clk
```

PORT_CLK：时钟端口名，该设计使用 clk

```
1 set PORT_CLK                clk
```

PORT_RST：复位端口名，该设计使用 resetn

```
1 set PORT_RST                resetn
```

ALL_I：全部输入端口的对象，排除时钟和复位

```
1 set ALL_I                    [remove_from_collection [all_inputs] \
2                                  [get_ports [list ${PORT_CLK} ${PORT_RST}]]]
```

ALL_O：全部输出端口的对象

```
1 set ALL_O                    [all_outputs]
```

create_clock 命令用于定义时钟

```
create_clock -period ${PERIOD} -name ${CLK_NAME} [get_ports ${PORT_CLK}]
```

set_clock_uncertainty 用于添加不确定度，-setup 指定建立时间，-hold 指定保持时间

```
set_clock_uncertainty -setup ${UNCERTAINTY_TS} [get_clocks ${CLK_NAME}]
set_clock_uncertainty -hold  ${UNCERTAINTY_TH} [get_clocks ${CLK_NAME}]
```

set_clock_latency 用于添加时钟延迟，-source 指定芯片外延迟

```
set_clock_latency -source -max ${LATENCY_SRC} [get_clocks ${CLK_NAME}]
set_clock_latency         -max ${LATENCY_NET} [get_clocks ${CLK_NAME}]
```

set_clock_transition 用于添加翻转时间

```
set_clock_transition ${TRANSITION_CLK} [get_clocks ${CLK_NAME}]
```

set_input_delay 用于添加输入延迟

```
set_input_delay  -min ${DELAY_I_MIN} -clock [get_clocks ${CLK_NAME}] ${ALL_I}
set_input_delay  -max ${DELAY_I_MAX} -clock [get_clocks ${CLK_NAME}] ${ALL_I}
```

set_output_delay 用于添加输出延迟

```
set_output_delay -min ${DELAY_O_MIN} -clock [get_clocks ${CLK_NAME}] ${ALL_O}
set_output_delay -max ${DELAY_O_MAX} -clock [get_clocks ${CLK_NAME}] ${ALL_O}
```

set_load 用于添加输出负载

```
set_load ${LOAD_O} ${ALL_O}
```

Thank You

谢谢观看